

(19) 世界知的所有権機関
国際事務局



553517

(43) 国際公開日
2004 年 10 月 28 日 (28.10.2004)

PCT

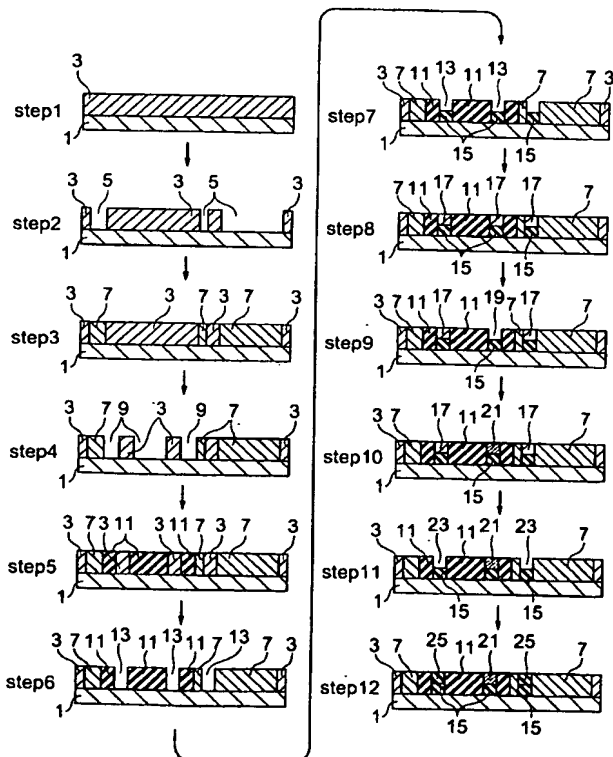
(10) 国際公開番号
WO 2004/093105 A1

- (51) 国際特許分類⁷: H01F 41/04, 17/00, H01G 4/12, H05K 3/46
- (21) 国際出願番号: PCT/JP2004/005308
- (22) 国際出願日: 2004 年 4 月 14 日 (14.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-110399 2003 年 4 月 15 日 (15.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): TDK 株式会社 (TDK CORPORATION) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 吉田 政幸 (YOSHIDA, Masayuki) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 TDK株式会社内 Tokyo (JP). 青木 俊二 (AOKI, Shunji) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 TDK株式会社内 Tokyo (JP). 須藤 純一 (SUTOH, Junichi) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 TDK株式会社内 Tokyo (JP). 渡辺 源一 (WATANABE, Genichi) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 TDK株式会社内 Tokyo (JP).
- (74) 代理人: 岡部 正夫, 外 (OKABE, Masao et al.); 〒1000005 東京都千代田区丸の内 3 丁目 2 番 3 号 富士ビル 602 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: METHOD OF FORMING SHEET HAVING FOREIGN MATERIAL PORTIONS USED FOR FORMING MULTI-LAYER WIRING BOARD AND SHEET HAVING FOREIGN PORTIONS

(54) 発明の名称: 多層配線基板形成に用いられる異材質部を有するシート形成方法および異材質部を有するシート



(57) Abstract: A method of producing a sheet and a sheet capable of contributing to the higher integration, downsizing, reliability enhancing or the like of laminated electronic components. The production method comprises the steps of forming a layer consisting of positive resist on a support, repeating respective processes of exposing and developing the layer and bonding a material having desired electric characteristics to an obtained pattern space, and then removing the support. The method produces a sheet comprising portions having an aspect ratio of at least one at patterns and having at least three kinds of different physical properties.

(57) 要約: 本発明は、積層型の電子部品に関し、その高集積化、小型化、高信頼性化等に寄与し得るシートの製造方法およびシートの提供を目的とする。当該目的達成のため、本発明にかかる製造方法においては、支持体上にポジレジストからなる層を形成し、当該層に対して露光、現像および得られたパターン空間に対しての所望の電気特性を有する物質の付着の各処理を繰り返して施し、その後支持体を除去する。当該手法により、パターンにおけるアスペクト比 1 以上の 3 種類以上の異なる物性を有する部分からなるシートを提供する。

WO 2004/093105 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

多層配線基板形成に用いられる異材質部を有するシート形成方法
および異材質部を有するシート

5

技術分野

本発明は、積層インダクタおよび積層コンデンサに代表される、受動部品等を内蔵したいわゆる多層配線基板を例とする積層型の電子部品に関する。より
10 詳細には、多層配線基板を製造する際に用いられるいわゆるセラミックグリーンシートに関し、種々の材質からなる部分を包含する単一のセラミックグリーンシートの製造方法に関するものである。

背景技術

15 近年、電子機器の高性能化、あるいは携帯機器の急速な普及に伴って、電子部品はその高密度実装化と共に高周波特性の改善も求められるようになってきている。当該要求に応えるために、電子部品の生産工程においても、素子の微細化あるいは高精度な製造を可能とする製造方法の検討が行われている。これらを開示する文献として、例えば特開 2001-85264 号公報、特開 2
20 001-110662 号公報、特開 2001-76959 号公報、特開 2000-331858 号公報、特開 2000-331865 号公報、特開 2001-111223 号公報、特開 2000-183530 号公報、及び特開平 10-12455 号公報が挙げられる。

例えば、電子部品としていわゆる積層セラミックインダクタを例に取り、その製造方法について簡単に述べる。まず、所定の電気特性を有するセラミック
25 粉末と有機系のバインダとを混合して得られるスラリーを、PET フィルム等

の支持体上に厚膜塗布する。このようにして得られた絶縁体層上に、更に金属粉末と有機系バインダとからなる金属ペーストを、所定のパターンに印刷して電極層を形成する。この電極層は、セラミックインダクタにおけるインダクタ本体の一部を構成する。

- 5 このようにして得られた絶縁体上にインダクタの一部が形成されたシートと、絶縁体のみからなるシートとを積層する。その際、個々のシートにおける電極層各々を、絶縁体シートの中に設けた導電部（ポスト）を介して電氣的に接続することにより、セラミックインダクタ本体となる積層体が形成される。当該積層体を形成後、更に焼成、端面電極の形成等の処理を施すことにより、
10 積層セラミックインダクタが得られる。セラミックインダクタ以外の積層型電子部品等の製造方法においても、基本的には前述の製造工程に準じた工程が行われる。

- しかしながら、前述の製造方法においては、各層の形状、厚さ、焼成時の収縮率等のばらつきに起因して、より高性能を有した電子部品の提供には限界が生じていた。そこで本出願人は、前述の特開 2 0 0 1 - 8 5 2 6 4 号公報あるいは特開 2 0 0 1 - 1 1 0 6 6 2 号公報に示す様な電子部品の製造方法を提案し、要求される電子部品の高性能化に対応しようとしている。
- 15

- 例えば、特開 2 0 0 1 - 8 5 2 6 4 号公報には、電子部品の一つである、いわゆる積層セラミックコンデンサの製造方法が開示されている。当該製造方法においては、具体的には、まず、予め導電処理が為された支持体表面に対して、
20 感光性を有する有機系バインダとセラミック粉末とを混合して得られた感光性スラリーが所定厚さ塗布される。なお、当該感光性スラリーは電着技術により形成されることとしても良い。続いて、フォトリソを介して、当該感光性スラリーに対する紫外線による露光処理、および現像液による現像処理が為され、
25 空間部とセラミック部とからなる層が、支持体上に形成される。

 ここで、電着技術により、この空間部に対して Ni 粉とアクリル系樹脂から

なる共析被膜を、セラミック部とほぼ同じ厚さとなるように析出させる。このようにして得られた、セラミック部と Ni 粉末を含む共析被膜部とからなるシートを、一体ものとして支持体から剥離し、当該シートに対して積層、焼成、端面電極の形成等の処理を施すことにより、積層セラミックコンデンサを得る

5 こととしている。また、特開 2001-110662 号公報には、いわゆる積層セラミックインダクタの形成方法が開示されており、当該製造方法においても、支持体上へのセラミック部と空間部との形成、当該空間部への Ag 粉を有する共析被膜の形成等が述べられている。

前述の特開 2001-85264 号公報あるいは特開 2001-110662 号公報に係る電子部品等の製造方法によれば、支持体上に形成されたシート自体にはセラミック部と共析被膜部とにおける膜厚の相違はなく、略均一な厚さとなっている。従って、従来の単純なセラミックパターンと電極パターンとを積層する方法と比較して、焼成処理等に起因する電気特性の変化が少なく、

10 所望の電気特性を有する電子部品が再現性良く得られることとなる。

現在、電子機器等に用いられる信号の高周波化が GHz 帯にまで及んでおり、前述の電子部品等においても、これに対応するために、伝送線路の低容量化、接合部での低抵抗化等、更なる高性能化が望まれている。同時に、携帯用端末への提供のために、更なる高集積化、小型化も望まれている。前述の製造方法によって得られるシートに関しても、例えばその薄膜化、あるいは導電性ペースト等の材質の最適化と並行して進めることで、ある程度の対応は可能と思われる。

15 20

しかしながら、前述の製造方法によって得られるシートは、セラミック部と共析被膜部との 2 種類の材料から構成されるのみである。従って、一シートあたり絶縁体一種類と導電体一種類からなるという制限が、電子部品製造上常に課せられている。その結果、1) 回路設計に制限が生じ、あるレベルからの高集積化が阻害される、2) 例えばインダクタを含む電子部品を形成しようとし

25

た場合等では、積層する層数が極端に増加し、あるレベルからの小型化が阻害される、3) 層数が増加することによって層間接続部が増加し、信頼性が低下する恐れがある、等の事態を招くことが考えられる。

5 また、感光性スラリーは、先にも述べたように、感光性を有する有機系パイ
ンダとセラミック粉末とを混合することで得られている。このセラミック粉末
は、露光時において紫外線を散乱等させる効果を通常有している。このため、
露光時においてパターンエッジが滲む等の現象が生じる。その結果、従来にお
いては、形成すべき配線パターンの厚さとその幅との比率を、アスペクト比（厚
さ÷幅）としてとった場合、約0.5～0.67がその上限となっていた。

10 特開2001-110662号公報には、当該状況に対応するために方法が
開示されている。具体的には、基台上に形成されたネガレジストのみからなる
層をパターニングし、パターニング後に形成された空間に対して電着技術を用
いてセラミック部分を形成し、パターニングされたレジスト層を除去し、除去
後に形成された空間部に対して電着技術によって導電性を有した部分を形成
15 している。

 当該方法によれば、上述のパターンエッジの滲み等を生じず、従ってパター
ン精度の高いシートを形成することが可能となる。しかしながら、当該方法に
おいても、上述の一シートあたり絶縁体一種類と導電体一種類からなるという
制限は、やはり常に課せられている。従って、上述の1)乃至3)等の事態が生
20 じ得る蓋然性は、当該方法においても同様と考えられる。

発明の開示

 本発明は、上記状況に鑑みて為されたものであり、積層セラミックコンデン
サ、積層セラミックインダクタ等のいわゆる積層型の電子部品に関し、その高
25 集積化、小型化、高信頼性化等に寄与し得るシートを製造する方法を提供する
ことを目的としている。

上記課題を解決するために、本発明に係るシート形成方法は、積層型の電子部品を形成する際にその各層として用いられるシートの形成方法であって、支持体上に、露光された部分が現像液によって除去される感光性の物質を所定厚さ付着させる工程と、感光性物質に対して所定のパターンを形成するための露光処理を施し、露光処理されたパターンを現像液によって現像除去する処理を施し、感光性物質が除去された部分に対して所望の電気的特性を有する物質を付着する処理を施し、支持体上にシートあるいはシートの一部を形成する工程と、シートから支持体を除去する工程とを含むことを特徴としている。

10 なお、上記方法においては、露光処理、現像処理および付着処理からなる工程は複数回繰り返されることが好ましい。また、上記方法においては、露光処理、現像処理および付着処理からなる工程において、所望の電気特性を有する物質に換えて、感光性の物質を付着する処理が含まれることが好ましい。

15 さらに、上記方法においては、露光されない部分が現像液によって除去される、所望の電気特性を有する感光性の物質を付着させる工程と、所望の電気特性を有する感光性の物質を露光および現像して更なるパターン空間を形成する処理と、パターン空間に所望の電気特性を有する物質あるいは更なる感光性の物質を付着させる処理からなる工程とをさらに含むことが好ましい。

20 また、上記課題を解決するために、本発明に係るシートは、積層型の電子部品を形成する際にその各層として用いられるシートであって、少なくとも3種類のそれぞれ異なった物性を有する部分を有し、部分を形成する際に、露光された部分が現像液によって除去される感光性の物質の付着処理、前記感光性物質の露光処理、前記感光性物質の現像処理、および前記現像処理により得られた空間部への前記部分の少なくともひとつの付着形成処理が行われ、部分の内、最も厚さの厚い部分における厚さと幅との比率をアスペクト比（厚さ÷幅）としてとった場合、当該アスペクト比の値が1以上であることを特徴としている。

25 なお、上記シートにおいては、シートが延在する平面方向において、異なる

物性を有する部分がそれぞれ形成されることが好ましい。また、上述のシートにおいては、シートの厚さ方向において、異なる物性を有する部分が形成されることが好ましい。

また、上記課題を解決するために、本発明に係るシートは、積層型の電子部品を形成する際にその各層として用いられるシートであって、第一の厚さを有し、且つ第一の領域に形成された導電性の内部電極と、第二の厚さを有し、且つ第一の領域上であって第一の領域よりも小さい第二の領域に形成された導電性のポストと、内部電極およびポストを包含する絶縁性の物質とを有し、少なくともポストは、露光された部分が現像液によって除去される感光性の物質の付着処理、感光性物質の露光処理、感光性物質の現像処理、および現像処理により得られた空間部への導電性の物質の付着処理からなる工程により形成されており、その内部電極およびポストの内少なくとも一方の形成厚さとその幅との比率をアスペクト比（厚さ÷幅）としてとった場合、当該アスペクト比の値が1以上であることを特徴としている。

15

図面の簡単な説明

図1は、本発明にかかるシートの形成方法を示すフローチャートである。

図2は、本発明にかかるシートの形成方法を示すフローチャートである。

図3は、本発明により得られたシートを用いて作製した積層方インダクタの断面概略を示す図である。

20

図4Aは、図3に示すインダクタを線4A-4Aにて切断しこれを上面から見た状態の概略を示す図である。

図4Bは、図3に示すインダクタを線4B-4Bにて切断しこれを上面から見た状態の概略を示す図である。

図5Aは、図3に示すシートL4を形成する工程を示すフローチャートである。

25

図5Bは、図3に示すシートL4を形成する工程を示すフローチャートである。

図5Cは、図3に示すシートL4を形成する工程を示すフローチャートである。

5

発明を実施するための最良の形態

本発明の実施の形態に係るシートの形成方法を、フローチャートとして図1に示している。なお、図1は、各工程におけるシートについて、これをその厚さ方向に切断した場合の断面構成を示している。また、例示するシートは、
10 XY（平面）方向およびZ（厚さ）方向において、おのおの異なる材料からなる部分を画成して有することとしている。以下、図面を参照して、シート形成方法の詳細に付いて述べる。

まず、導電処理が施された支持体1の表面上に、ポジレジストからなる層3を電着処理により所定厚さ形成し、ステップ1の状態のシートを得る。なお、
15 本発明におけるポジレジストは、光の照射によって露光された部分が現像液による現像処理によって除去される感光性の物質をさす。続いて、不図示の第一のマスクを介した紫外線等によるポジレジスト層3の露光処理、および現像液による現像処理を行う。当該処理によって、ポジレジスト層において露光された部分のみが除去され、支持体1上には未露光のポジレジスト層3と第一の空間部分5とが形成される（ステップ2）。第一の空間部分5に対しては、電着
20 処理によって、絶縁材部を形成する。本実施例においては、絶縁材として、例えば低誘電率材料からなる部分7を形成する（ステップ3）。なお、本実施例においては、低誘電率材部分7の形成厚さは、ポジレジスト層3の厚さと略一致させている。

25 低誘電率材部分7形成後、未露光のポジレジスト層3に対して、不図示の第二のマスクを介しての露光処理および現像液による現像処理を行う。当該処理

により、ポジレジスト層 3 における露光部分の除去が行われ、更に第二の空間部分 9 が形成される（ステップ 4）。第二の空間部分 9 に対しては、電着処理によって、新たな絶縁材部を形成する。本実施例においては、絶縁材として、例えば高透磁率材料からなる部分 1 1 を形成する（ステップ 5）。なお、本実施例においては、高透磁率材部分 1 1 の形成厚さも、ポジレジスト層 3 の厚さと略一致させている。

続いて、残存する未露光のポジレジスト層 3 に対し、更に、不図示の第三のマスクを介しての露光処理および現像液による現像処理を行う。当該処理により、ポジレジスト層 3 における露光部分の除去が行われ、更に第三の空間部分 1 3 が形成される（ステップ 6）。第三の空間部分 1 3 に対しては、電着処理によって、第一の導電体からなる部分 1 5 を形成する。なお、本実施例においては、第一の導電体部分 1 5 の形成時において、その形成厚さは、ポジレジスト層 3 の厚さより薄くすることとし、第三の空間部 1 3 を第一の導電体部分 1 5 の上部に残存させている（ステップ 7）。

この第三の空間部分 1 3 の残存部分に対して、電着処理によって、再度ポジレジストからなる第二の層 1 7 を形成する（ステップ 8）。その際、第二のポジレジスト層 1 7 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成されることが望ましい。第二のポジレジスト層 1 7 に対しては、不図示の第四のマスクを介した露光処理および現像液による現像処理を行う。当該処理により、第二のポジレジスト層 1 7 における露光部分の除去が行われ、第四の空間部分 1 9 が形成される（ステップ 9）。

第四の空間部分 1 9 に対しては、電着処理によって、更なる絶縁材部を形成する。本実施例においては、当該絶縁材として、例えば低透磁率材料からなる部分 2 1 を形成する（ステップ 1 0）。なお、本実施例においては、低透磁率材部分 2 1 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成される。その後、残存する第二のポジレジスト層 1 7 に

対しての、露光処理および現像液による現像処理を行う。当該処理により、残存する第二のポジレジスト層 17 の除去が行われ、第五の空間部分 23 が形成される（ステップ 11）。

第五の空間部分 23 に対しては、電着処理によって、第二の導電体からなる部分 25 を形成する。なお、本実施例においては、第二の導電体部分 25 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成される。また、本実施例においては、第一の導電体部分 15 を構成する材料と、第二の導電体部分 25 を構成する材料は同一としている。以上の工程を経て得られたシートから、支持体 1 を剥離することにより、実際に電子部品を形成する際の素材となるシートが得られる。

（変形例）

続いて、本発明にかかるシート形成方法を、その内部に回路パターン（いわゆるパターン）および層間接続材（いわゆるポスト）を有するシートに対して用いた場合を説明する。図 2 に当該シートの形成方法をフローチャートとして示す。なお、図中、各ステップに示される図は、図 1 と同様に各工程におけるシートの断面を示すものである。

まず、導電処理が施された支持体 1 の表面上に、ポジレジストからなる層 3 を電着処理により形成し、ステップ 1 の状態のシートを得る。続いて、不図示の第一のマスクを介した紫外線等によるポジレジスト層 3 の露光処理、および現像液による現像処理を行う。当該処理によって、ポジレジスト層において露光された部分のみが除去され、支持体 1 上には未露光のポジレジスト層 3 と第一の空間部分 5 とが形成される（ステップ 2）。第一の空間部 5 に対しては、電着処理によって、絶縁材部を形成する。本実施例においては、絶縁材として、例えば低誘電率材料からなる部分 7 を形成する（ステップ 3）。なお、本実施例においては、低誘電率材部分 7 の形成厚さは、ポジレジスト層 3 の厚さと略一致させている。

低誘電率材部分 7 形成後、未露光のポジレジスト層 3 に対して、不図示の第二のマスクを介しての露光処理および現像液による現像処理を行う。当該処理により、ポジレジスト層 3 における露光部分の除去が行われ、更に第二の空間部分 9 が形成される（ステップ 4）。第二の空間部分 9 に対しては、電着処理によって、新たな絶縁材部を形成する。本実施例においては、絶縁材として、例えば高透磁率材料からなる部分 1 1 を形成する（ステップ 5）。なお、本実施例においては、高透磁率材部分 1 1 の形成厚さも、ポジレジスト層 3 の厚さと略一致させている。

続いて、残存する未露光のポジレジスト層 3 に対し、更に、不図示の第三のマスクを介しての露光処理および現像液による現像処理を行う。当該処理により、ポジレジスト層 3 における露光部分の除去が行われ、更に第三の空間部分 1 3 が形成される（ステップ 6）。第三の空間部分 1 3 に対しては、電着処理によって、第一の導電体からなる部分 1 5 を形成する。第一の導電体部分 1 5 は、当該シートにおけるパターンとしての機能を有する。なお、本実施例においては、第一の導電体部分 1 5 の形成時において、その形成厚さは、ポジレジスト層 3 の厚さより薄くすることとし、第三の空間部 1 3 を第一の導電体部分 1 5 の上部に残存させている（ステップ 7）。

この第三の空間部分 1 3 の残存部分に対して、電着処理によって、再度ポジレジストからなる第二の層 1 7 を形成する（ステップ 8）。その際、第二のポジレジスト層 1 7 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成されることが望ましい。第二のポジレジスト層 1 7 に対しては、不図示の第四のマスクを介した露光処理および現像液による現像処理を行う。当該処理により、第二のポジレジスト層 1 7 における露光部分の除去が行われ、第四の空間部分 1 9 が形成される（ステップ 9）。

第四の空間部分 1 9 に対しては、電着処理によって、更なる絶縁材部を形成する。本実施例においては、当該絶縁材として、例えば低透磁率材料からなる

部分 2 1 を形成する（ステップ 1 0）。なお、本実施例においては、低透磁率材部分 2 1 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成される。その後、残存する第二のポジレジスト層 1 7 に対しての、露光処理および現像液による現像処理を行う。当該処理により、残

5 存する第二のポジレジスト層 1 7 の除去が行われ、第五の空間部分 2 3 が形成される（ステップ 1 1）。

第五の空間部分 2 3 に対しては、電着処理によって、第二の導電体からなる部分 2 5 を形成する（ステップ 1 2）。第二の導電体部分 2 5 は、当該シートにおいてポストとしての機能を有する。なお、本実施例においては、第二の導

10 電体部分 2 5 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成される。また、本実施例においては、第一の導電体部分 1 5 を構成する材料と、第二の導電体部分 2 5 を構成する材料は同一としている。以上の工程を経て得られたシートから、支持体 1 を剥離することにより、その内部にパターンおよびポストを有するシートが得られる。

15 上述のごとく、本発明の実施により、低誘電率材料、低透磁率材料、高透磁率材料、導電体等、複数種類（この場合は三種類以上）の材料を、XY（平面）方向および Z（厚さ）方向に画成して有するシート、あるいはその内部にパターンとポストとを有するシートを形成することが可能となる。また、本発明においては、光等を散乱させる要素を有しないポジレジスト単体からなる層に対して、露光および現像の処理を施し、その結果得られたパターンを用いて、各

20 材料からなる部分の形成を行っている。

従って、パターン精度が高く、且つパターンエッジにおけるにじみ等が何ら存在しない良好な画成状態を有したシートを得ることが可能となる。また、ポジレジスト単体からなる層を用いるため、露光処理による露光可能な層厚さは

25 ポジレジストの特性のみに起因している。

具体的には、以上の方法を用いることによって、従来技術によっては不可能

とされていた、異なる物性からなる3種類以上の部分を有し、且つこれら各部分中最も厚い部分における厚さとその幅との比率をアスペクト比（厚さ÷幅）としてとった場合、当該アスペクト比の値が1以上となるシートを提供することが可能となる。また、パターンとポストとを包含するシートの場合には、形成厚さとその幅との比が1以上となるポストを包含するシートの形成が可能となる。

なお、本実施例においては、各部分を構成する材料、すなわち所望の電気的特性を有する物質として低誘電率材料、低透磁率材料、高透磁率材料、導電体を用いているが、本発明はこれら材料に限定されず、得ようとするシートの構成等に応じて適宜変更されることが望ましい。すなわち、複数種類、少なくとも3種類のそれぞれ異なった物性を有する部分を、平面方向あるいは厚さ方向に形成することが可能である。従って、露光、現像および電着の各処理を繰り返す回数は、シート構成に応じて本実施例より減少させるあるいは増加させることが好ましい。

さらに、電着処理時に前述のポジレジスト、あるいは所望の電気特性を有する粉体を含有するポジあるいはネガの特性を有するレジスト（感光性物質）を電着することとしても良い。この場合、次工程等においてこれらレジストに対して露光、現像等の処理がさらに施されることとなる。なお、ここで述べたネガレジストとは、光の照射によって露光された部分以外の部分が現像液によって現像される感光性の物質をさす。

具体的には、たとえば低透磁率を特性として有する絶縁粉とネガレジストとを混成して得られるネガ材料を、図1中、ステップ7における第三の空間部分13に電着形成することとしても良い。当該ネガ材料に露光および現像を施すことによって、低透磁率材部分21および第五の空間部分23（ステップ11参照）とを一度に形成することができる。先にも述べたように、粉体を包含したネガレジストは、パターン精度等に関して相対的にポジレジストに劣ると考

えられる。しかしながら、パターン精度の許容値等を考慮して、本発明にかかる製造方法において、部分的にネガレジストからなる材料を用いることによって、工程の短縮が可能となる。

また、電着処理による各部分の形成厚さも、本実施例の如くポジレジスト層 3 の厚さによって規定せず、得ようとするシートの構成等に応じて、適宜定めることも可能である。例えば、積層－圧着の工程を経る際に、積層されるシート間における導電体部分の接続状態を良好な物とすべく、追加の導電体部分をセラミック部分 3 の上面より盛り上げる構成とする等、各部分の形成状態を改変しても良い。

また、第一および第二の導電体部分は同一材料としているが、これを異なる材料からなることとしても良い。更に、これら導電体部分の形成に電着処理を用いずにメッキ法等、本実施例とは異なる手法によってこれらを形成することとしても良い。また、導電体部分を形成する際に、ポジレジストの電着、露光、現像、導電体の電着の各処理を更に繰り返すこととし、Z（厚さ）方向において更なる構成を付加することとしても良い。

（本発明により得られたシートを用いて作製した電子部品の具体例）

以上述べた本発明にかかる方法に対し、適宜変更を加えることで得られた複数種類のシートを積層してなるセラミックインダクタの一例を図 3 に示す。図 3 はセラミックインダクタをその積層方向に切断した断面の構成を模式的に示すものである。当該インダクタはシート L 1 ～ L 8 を積層して構成されている。各々のシートには、導電体部分 A（A 1、A 2）、低誘電率材料からなる第一の絶縁体部分 B、高透磁率材料からなる第二の絶縁体部分 C（C 1、C 2）、第二の絶縁体部分 C より低い透磁率を有する材料からなる第三の絶縁体部分 D が、任意に含まれている。各々のシート構成について、以下簡単にシート L 4 を例として説明する。

図 3 中、平面 4 A-4 A にてシート L 4 を切断し、これを図中矢印方向から

見た図を図 4 A に、平面 4 B-4 B にてシート L 4 を切断し、これを図中矢印方向から見た図を図 4 B にそれぞれ示す。図 4 A に示すように、当該シート下部において、中央部の高透磁率材部分 C 1 は、インダクタにおける芯材として作用する。導電体部分 A 1 は高透磁率材部分 C 1 の略半周を取り囲むように形成されており、インダクタ回路の一部を形成している。

高透磁率材部分 C 1 の残りの周囲には、低透磁率材部分 D が形成されている。当該絶縁体部分 D は、シート積層時に、上下方向で重なり合う導電体部分 A 1 間を絶縁するための絶縁部として作用する。これら導電体部分 A 1 および低透磁率部分 D の周囲には高透磁率材部分 C 2 が配置されており、当該部分は高透磁率材部分 C 1 と共に磁束量を増加させる効果を持つ絶縁体部分として作用する。さらにその周囲には、低誘電率材料である、第一の絶縁体部分 B が保護層を形成している。

図 4 B に示すように、シート L 4 上部においては、低透磁率材部分 D からなる絶縁体部分が芯材である高透磁率材部分 C 1 のほぼ全周を取り巻くように形成されている。この低透磁率材部分 D は、シート積層時に、上下方向で重なり合う導電体部分 A 1 間を絶縁するための絶縁部として作用する。また、芯材の周囲の一部にのみ導電体部分 A 2 が形成されている。当該導電体部分 A 2 は、個々のシートに形成されたインダクタにおける回路の一部を各々接続するための接続用の導電体部分、いわゆるポストとして作用する。

以上述べた如く、シート L 4 は、その内部に、芯材、芯材の略半周に巻き回されたインダクタにおける回路の一部、この回路の一部を他のシートにおける回路の一部と接続するためのポスト、各シートにおける回路部個々の間の絶縁を果たす絶縁体、芯材と共に磁束量を増加させるインダクタ周囲に配置された絶縁体、およびその周囲の保護材部分を有している。当該構成を有するシートを予め複数枚作製し、個々のシートにおける回路部の端部と、ポストの端部とが各々連続的に接続されるように積層することにより、図 3 に示すインダクタ

本体が形成される。

(電子部品製造用のシート形成方法具体例)

次に、本発明を用いて、図4Aおよび4Bに示すシートL4を実際に形成する際の工程について、図5A～5Cに示すフローチャートを参照して説明する。

- 5 なお、フローチャートに示される各図は、図1あるいは図2に示した如く、各工程におけるシートの断面を示している。すなわち、図4Aおよび4Bにおける線I-Iに沿ってシートL4を切断した際の断面については図5Aに、線II-IIにおける断面については図5Bに、また線III-IIIにおける断面については図5Cに、各々の形状の変化をそれぞれ示している。また、前述の図1あるいは図
- 10 2において示した実施例における構成と同様の構成については、同一の参照符号を用いることとする。

- まず、導電処理が施された支持体1の表面上に、ポジレジストからなる層3を電着処理により形成し、ステップ101の状態のシートを得る。続いて、不図示の第一のマスクを介した紫外線等によるポジレジスト層3の露光処理、および現像液による現像処理を行う。第一のマスクは、図4Aおよび4Bにおける
- 15 低誘電率材部分Bに対応する領域を露光する形状を有している。

- 当該処理によって、ポジレジスト層において露光された部分のみが除去され、支持体1上には未露光のポジレジスト層3と第一の空間部分5とが形成される(ステップ102)。第一の空間部5に対しては、電着処理によって、低誘電率材料からなる部分7を形成する(ステップ103)。なお、低誘電率材部分7の形成厚さは、ポジレジスト層3の厚さと略一致させている。当該低誘電率材部分7は、シートL4における低誘電率材部分Bに対応する。
- 20

- 低誘電率材部分7形成後、未露光のポジレジスト層3に対して、不図示の第二のマスクを介しての露光処理および現像液による現像処理を行う。第二のマスクは、図4Aおよび4Bにおける高透磁率材部分C1およびC2に対応する
- 25 領域を露光する形状を有している。当該処理により、ポジレジスト層3におけ

る露光部分の除去が行われ、更に第二の空間部分 9 が形成される（ステップ 104）。

5 第二の空間部分 9 に対しては、電着処理によって、高透磁率材料からなる部分 11 を形成する（ステップ 105）。なお、高透磁率材部分 11 の形成厚さも、ポジレジスト層 3 の厚さと略一致させている。断面 II-II における中央部の高透磁率部分 11 は、シート L4 における芯材となる部分 C1 に対応し、その他の高透磁率材部分 11 は、シート L4 におけるインダクタ等の外周の部分 C2 に対応する。

10 続いて、残存する未露光のポジレジスト層 3 に対し、更に、不図示の第二のマスクを介しての露光処理および現像液による現像処理を行う。第二のマスクは、図 4A における低透磁率材部分 D に対応する領域を露光する形状を有している。当該処理により、ポジレジスト層 3 における露光部分の除去が行われ、更に第二の空間部分 12 が形成される（ステップ 106）。第二の空間部分 12 に対しては、電着処理によって、低透磁率材部分 14 を形成する（ステップ 107）。
15 なお、低透磁率材部分 14 の形成厚さも、ポジレジスト層 3 の厚さと略一致させている。低透磁率材部分 14 は、シート L4 において、図 4A における低透磁率材部分 D、およびその上面に位置する図 4B における低透磁率材部分 D に対応する。

更に、残存する未露光のポジレジスト層 3 に対し、更に、不図示の第三のマスクを介しての露光処理および現像液による現像処理を行う。第三のマスクは、
20 図 4A における導電体部分 A1 に対応する領域を露光する形状を有している。当該処理により、ポジレジスト層 3 における露光部分の除去が行われ、更に第三の空間部分 13 が形成される（ステップ 108）。

25 第三の空間部分 13 に対しては、電着処理によって、第一の導電体からなる部分 15 を形成する。なお、本実施例においては、第一の導電体部分 15 の形成時において、その形成厚さは、ポジレジスト層 3 の厚さより薄くすることと

し、第三の空間部 13 を第一の導電体部分 15 の上部に残存させている（ステップ 109）。第一の導電体部分は、シート L4 における導電体部分 A1 に対応する。

この第三の空間部分 13 の残存部分に対して、電着処理によって、再度ポジレジストからなる第二の層 17 を形成する（ステップ 110）。その際、第二のポジレジスト層 17 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成されることが望ましい。第二のポジレジスト層 17 に対しては、不図示の第四のマスクを介した露光処理および現像液による現像処理を行う。第四のマスクは、図 4 B における低透磁率材部分 D に対応する領域を露光する形状を有している。当該処理により、第二のポジレジスト層 17 における露光部分の除去が行われ、第四の空間部分 19 が形成される（ステップ 111）。

第四の空間部分 19 に対しては、電着処理によって、低透磁率材料からなる部分 21 を形成する（ステップ 112）。なお、本実施例においては、低透磁率材部分 21 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成される。低透磁率材部分 21 は、シート L4 において、図 4 B における低透磁率材部分 D に対応する。その後、残存する第二のポジレジスト層 17 に対しての、露光処理および現像液による現像処理を行う。当該処理により、残存する第二のポジレジスト層 17 の除去が行われ、第五の空間部分 23 が形成される（ステップ 113）。

第五の空間部分 23 に対しては、電着処理によって、第二の導電体からなる部分 25 を形成する。なお、本実施例においては、第二の導電体部分 25 は、その最表面がポジレジスト層 3、低誘電率材部分 7 等の表面と略一致するまで、形成される。また、本実施例においては、第一の導電体部分 15 を構成する材料と、第二の導電体部分 25 を構成する材料は同一としている。以上の工程を経て得られたシートから、支持体 1 を剥離および残存するポジレジスト層 3 の

除去を行うことにより、実際に電子部品を形成する際の素材となるシートL 4
が得られる。以上の構成を得ることにより、従来からの積層セラミックインダ
クタより更に優れた特性を有するインダクタを提供することが可能となる。

5 本発明によれば、異なる種々の材料を同一シート内に形成することが可能で
ある。従って、図3に示したようなインダクタを構成することが可能であり、
浮遊容量、クロストーク等をより低下し、更に小型化且つ高集積化を達成した
積層型の電子部品の製造が可能となる。また、図中明示されていないが、本発
明に係るシートを用いることによって、インダクタ本体端部を外部端子に接続
10 するの配線等の配置を、インダクタ形成時に任意の配置に引き回すことも可能
となる。

従って、これら配線部の配置の適正化を図ることも容易となる。すなわち、
本発明に係る構成のシートを用いることにより a) 回路設計の自由度が向上し
てより高集積化が可能となる、b) 複合回路部品形成の際においても、同等の
特性を有する電子部品を製造した場合であっても積層層数をむしろ減少させ
15 て電子部品としての小型化を図ることが可能である、更に c) 層数の減少に伴
って層間での配線の接続が減り、信頼性が向上し、更には電子部品が完成に至
るまでの工程数の短縮が見込める、といった効果が得られる。

なお、本発明に係るシートに関してその形成方法について前述したが、ここ
で述べられた支持体等、各種材料に関しては特に限定されない。支持体として
20 は、ステンレス系の薄板、導電処理が表面に為されたPETフィルム、導電処
理が表面に為されたガラス基板等、種々の材料が使用可能である。また、支持
体表面に離型用の処理を施す場合があるが、当該処理としては、Ni-PTFE、ス
テンレス粉末とテフロン樹脂またはシリコン樹脂等との混合複合被膜の表面
形成等がある。

25 また、導電体部を形成する電着工程において用いる金属粉としてはAg、Cu、
Ni等の粉体が使用可能である。ポジレジストに関しては、本実施例において特

に規定していないが、その粘度、感光性等を勘案し、導電体、絶縁対等の材料の選択も含め、種々の材料から適宜選択されることが望ましい。また、上述のシート形成方法においては、導電体部分の形成についても、電着形成することとしている。しかしながら、更なる材料形成の必要がない場合には、この導電体部分を電着技術の一つであるメッキにより形成することとし、導電体部分が

5 ほぼ金属からのみ構成されることとしても良い。

また、本発明に係るシートにおける各部分およびポジレジストは、各々電着技術を用いてその形成工程が為されている。しかしながら、本発明はこれに限定されず、ペーストの塗布等、通常の膜形成に用いられる種々の方法を用いることが可能である。しかしながら、上述したように、導電体部分の形成に関しては、導電性をより高める観点から、メッキ等の技術によることが好ましい場合も考えられ、導電体部の形成をメッキ等により行えるようにその製造工程を構築することが望ましいと考えられる。

10

また、本発明にかかるシート形成方法は、ポジレジストを用いることによって上述の種々の効果を得ているものであるが、本発明の内容は、上述の実施例に限定されない。例えば、素子形成において、パターン精度等がそれほど要求されない部分に対しては、従来技術と同様のネガレジストを用いたパターン形成を部分的に用いる等、ポジレジストとネガレジストとを併用することとしても良い。

15

本発明に係るシート形成方法、すなわち、ポジレジスト層に対して、露光、現像および現像により得られたパターン空間に対する所望の材料を電着形成する各処理を繰り返して施す手法により、XY方向において3種類以上の、またZ方向において複数種類の異材質からなる部分が、その内部に高精度に配置されたシートを得ることが可能となる。また、ポジレジスト単体からなる層に対して露光および現像の処理を施してパターン空間を形成することにより、パターンの厚さとその幅の比、いわゆるアスペクト比において1以上、1.0～

20

25

1. 5、すなわち従来と比較して約1. 5～3. 0倍のパターンが得られることとなる。

また、本発明によれば、各種パターンを高精度ならびに高い位置精度等にて形成することが可能となることから、a) 回路設計の自由度が向上し、より高
5 集積化することが可能となる、b) シート一層に対しての回路の高集積化により積層総数の低減が可能となり、電子部品としての小型化が可能となる、c) 積層数の現象に伴って各層間における接続個所が減少し、信頼性の向上あるいは工程の短縮化が可能となる、d) 各種材料をより適当な位置に形成することが可能となり、積層型電子部品としての性能向上が可能となる、およびe) こ
10 れらの効果の積み重ねによって電子部品の製造工程におけるコストパフォーマンスを向上させることが可能となる、といった効果が得られる

また、更に、寸法精度等の高いシートが得られることから、f) 各シートにおける層間接続部材間の位置精度も向上し、接続信頼性が向上する、g) 層間接続部材の形状をより小さなものへと最適化することが可能であり、より高
15 集積化が可能である、およびh) 層間接続部材を、厚さを有するシートに内在させることが可能となり、層間接続部材に関する部分の強度を考慮した従来の設計等と比較してその自由度が向上し、更にはハンドリングが安定することによって積層精度を更に向上させることが可能になる、等の効果も得られる。

また、電着等の処理によって必要部分にのみ層形成が為されることから、材
20 料の無駄が無く、製造コストの低減が図れる。更に、各種シートを形成後、これらを積層して電子部品を得ることから、電子部品に求められる特性に応じて、積層するシートの種類あるいは積層形式等を変更することが可能である。従って、本発明に係るシートを用いることによって、多品種少量生産にも対応可能な電子部品の製造工程の構築が容易である。

25 なお、所望の電気特性を有する粉末と有機系のバインダとからなる、いわゆるネガレジストからなるスラリーを用い、このパターニングと電着処理とを行

う従来技術は、得られるパターン精度が本発明と比較して大きく劣っている。しかしながら、製品の要求精度、例えば電気特性のばらつきの許容値に応じて、本発明に係るポジレジストを用いた工程を部分的に用いることによって、上述の効果を部分的に得ることも可能である。

請求の範囲

1. 積層型の電子部品を形成する際にその各層として用いられるシート
の形成方法であって、

5 支持体上に、露光された部分が現像液によって除去される感光性の物質を所定厚さ付着させる工程と

前記感光性物質に対して所定のパターンを形成するための露光処理を施し、前記露光処理されたパターンを前記現像液によって現像除去する処理を施し、前記感光性物質が除去された部分に対して所望の電気的特性を有する物質を付着する処理を施し、前記支持体上に前記シートあるいは前記シートの一部を形成する工程と、
10

前記シートから前記支持体を除去する工程とを含むことを特徴とするシート形成方法。

2. 前記露光処理、現像処理および付着処理からなる工程は複数回繰り返されることを特徴とする請求項 1 記載のシート形成方法。

15 3. 前記露光処理、現像処理および付着処理からなる工程において、前記所望の電気特性を有する物質に換えて、前記感光性の物質を付着する処理が含まれることを特徴とする請求項 1 記載のシート形成方法。

4. 露光されない部分が現像液によって除去される、所望の電気特性を有する感光性の物質を付着させる工程と、

20 前記所望の電気特性を有する感光性の物質を露光および現像して更なるパターン空間を形成する処理と、前記パターン空間に所望の電気特性を有する物質あるいは更なる感光性の物質を付着させる処理からなる工程とをさらに含むことを特徴とする請求項 1 記載のシート形成方法。

5. 積層型の電子部品を形成する際にその各層として用いられるシートであって、
25

少なくとも 3 種類のそれぞれ異なった物性を有する部分を有し、前記

部分を形成する際に、露光された部分が現像液によって除去される感光性の物質の付着処理、前記感光性物質の露光処理、前記感光性物質の現像処理、および前記現像処理により得られた空間部への前記部分の少なくともひとつの付着形成処理が行われ、

5 前記部分の内、最も厚さの厚い部分における厚さと幅との比が1以上であることを特徴とするシート。

6. 前記シートが延在する平面方向において、前記異なる物性を有する部分がそれぞれ形成されることを特徴とする請求項5記載のシート

7. 前記シートの厚さ方向において、前記異なる物性を有する部分が形成されることを特徴とする請求項5記載のシート。
10

8. 積層型の電子部品を形成する際にその各層として用いられるシートであって、

 第一の厚さを有し、且つ第一の領域に形成された導電性の内部電極と、
 第二の厚さを有し、且つ前記第一の領域上であって前記第一の領域より
15 りも小さい第二の領域に形成された導電性のポストと、

 前記内部電極および前記ポストを包含する絶縁性の物質とを有し、
 少なくとも前記ポストは、露光された部分が現像液によって除去される感光性の物質の付着処理、前記感光性物質の露光処理、前記感光性物質の現像処理、および前記現像処理により得られた空間部への導電性の物質の付着処
20 理からなる工程により形成され、

 前記内部電極および前記ポストの内少なくとも一方の形成厚さとその幅との比率が1以上であることを特徴とするシート。

FIG. 1

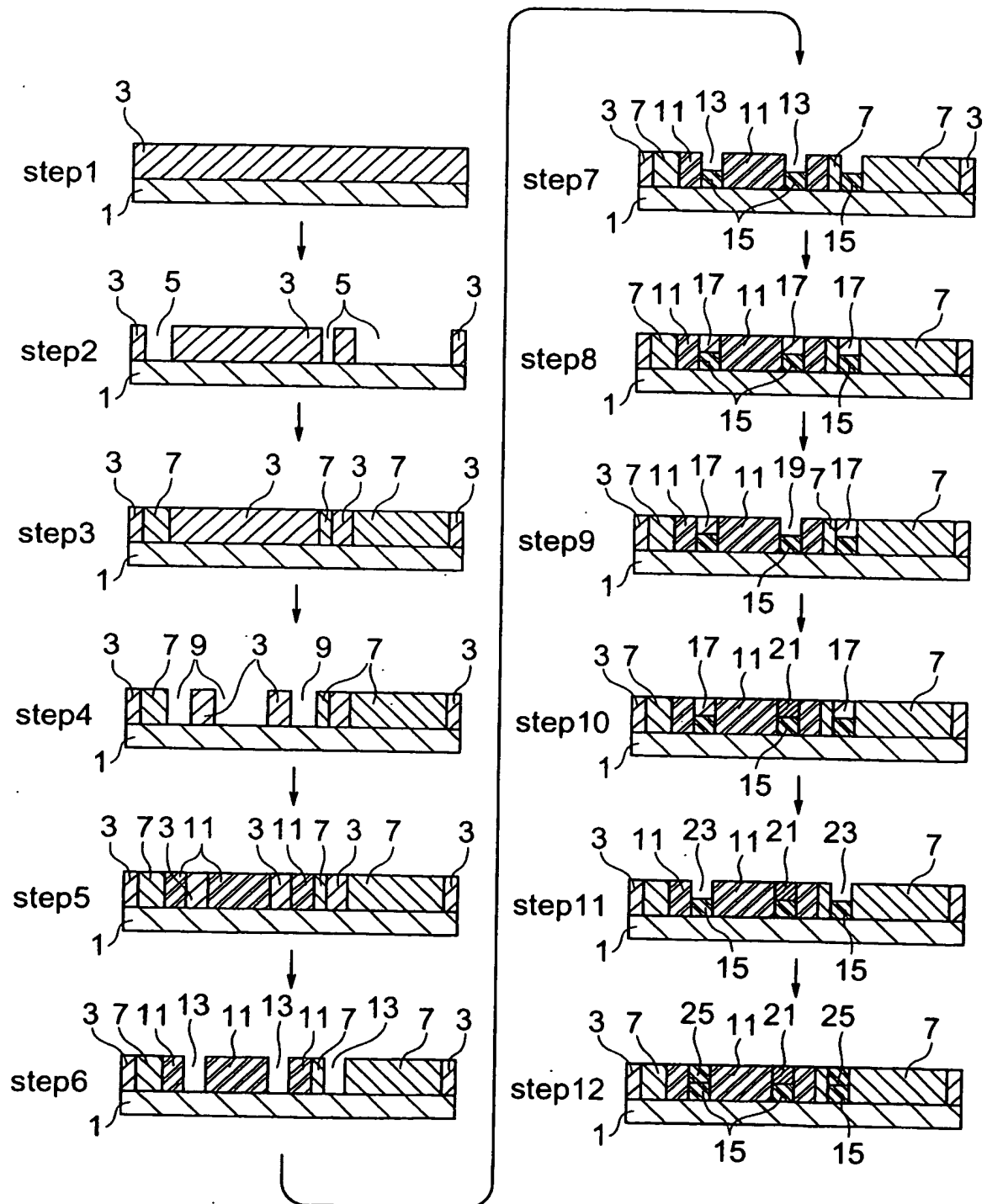


FIG. 2

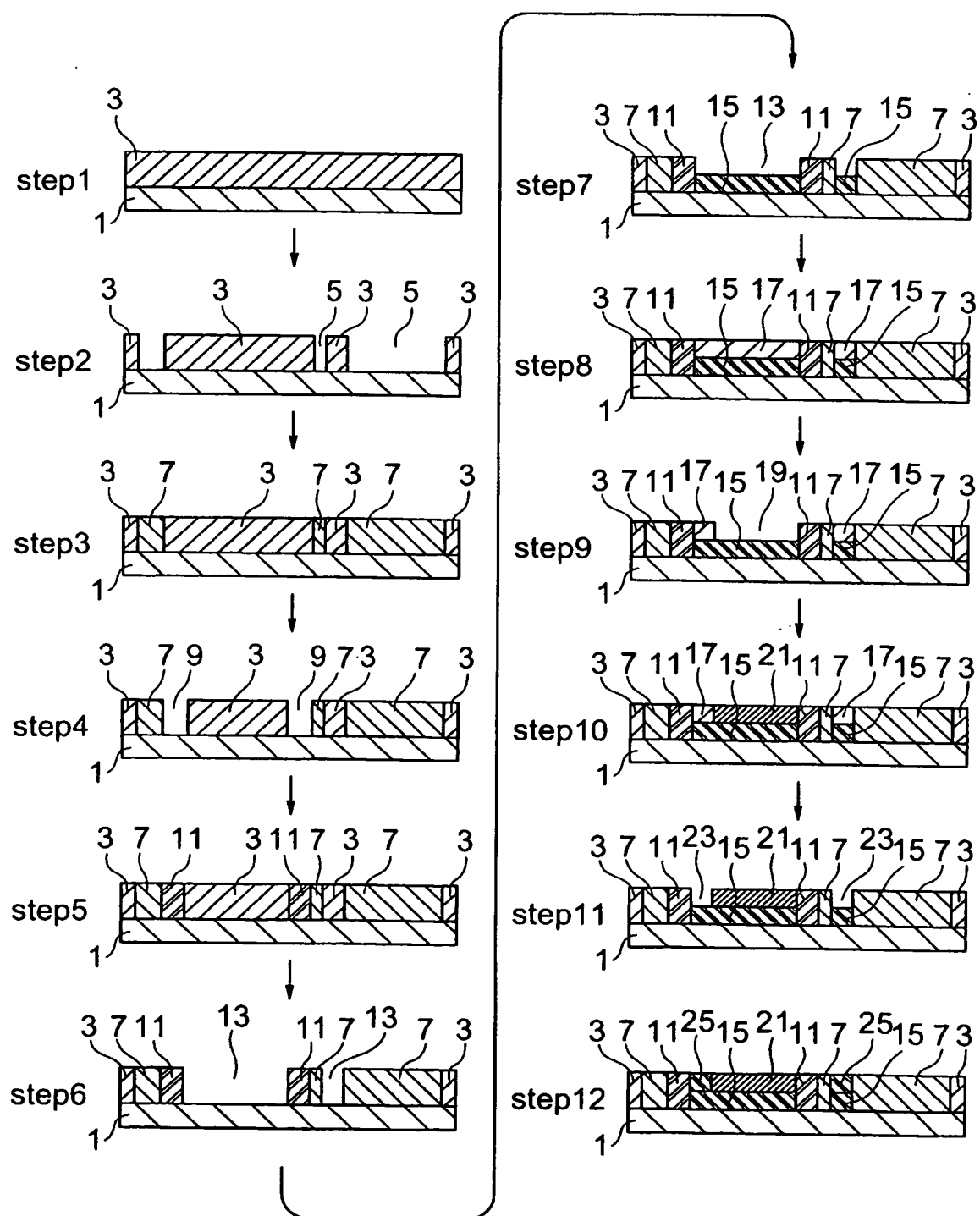


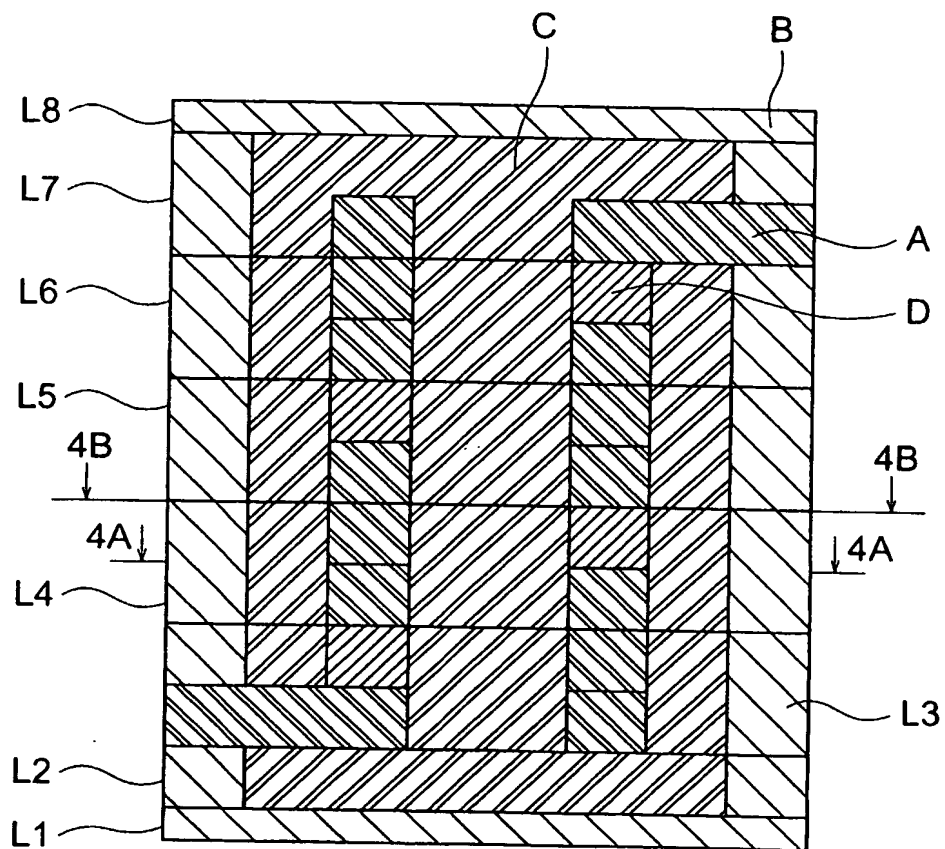
FIG. 3

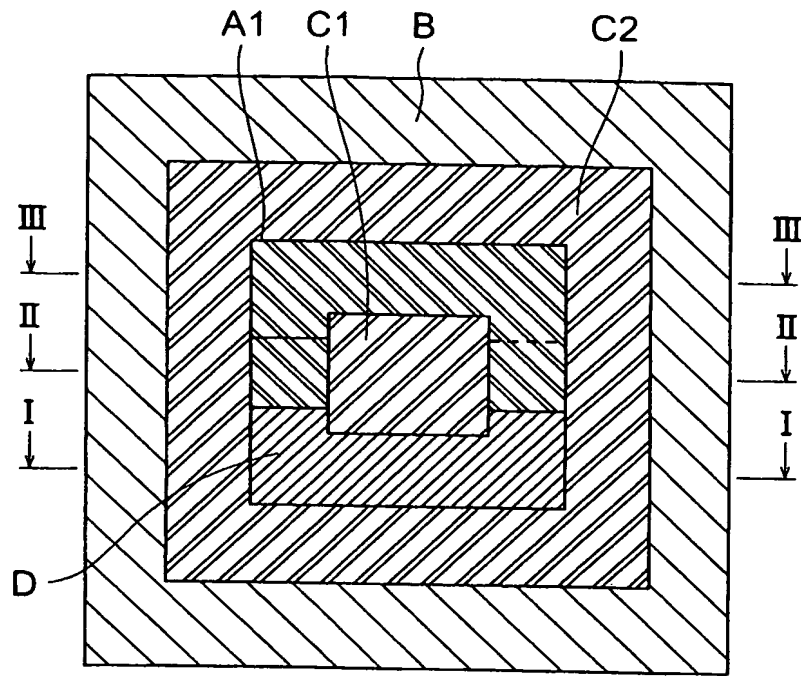
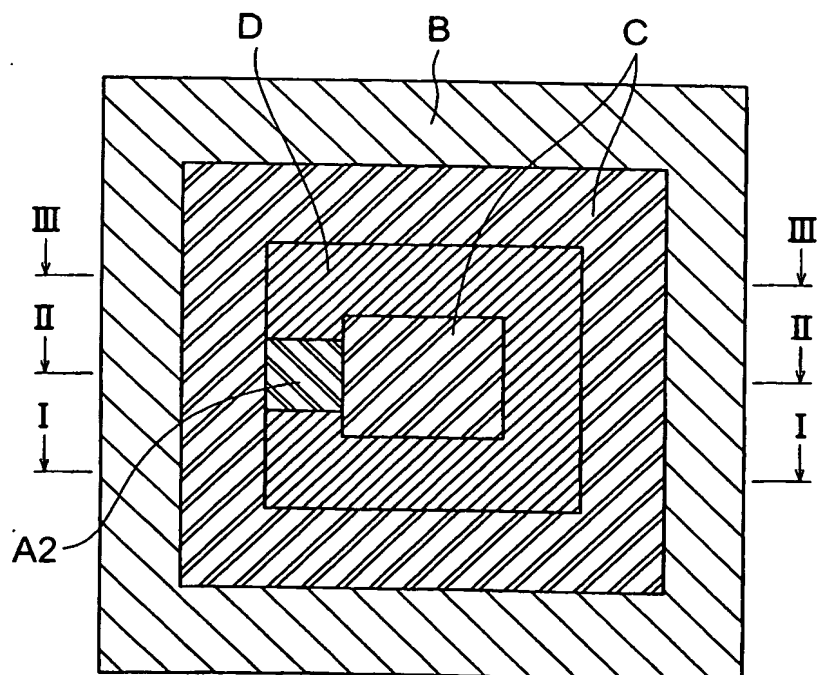
FIG. 4A**FIG. 4B**

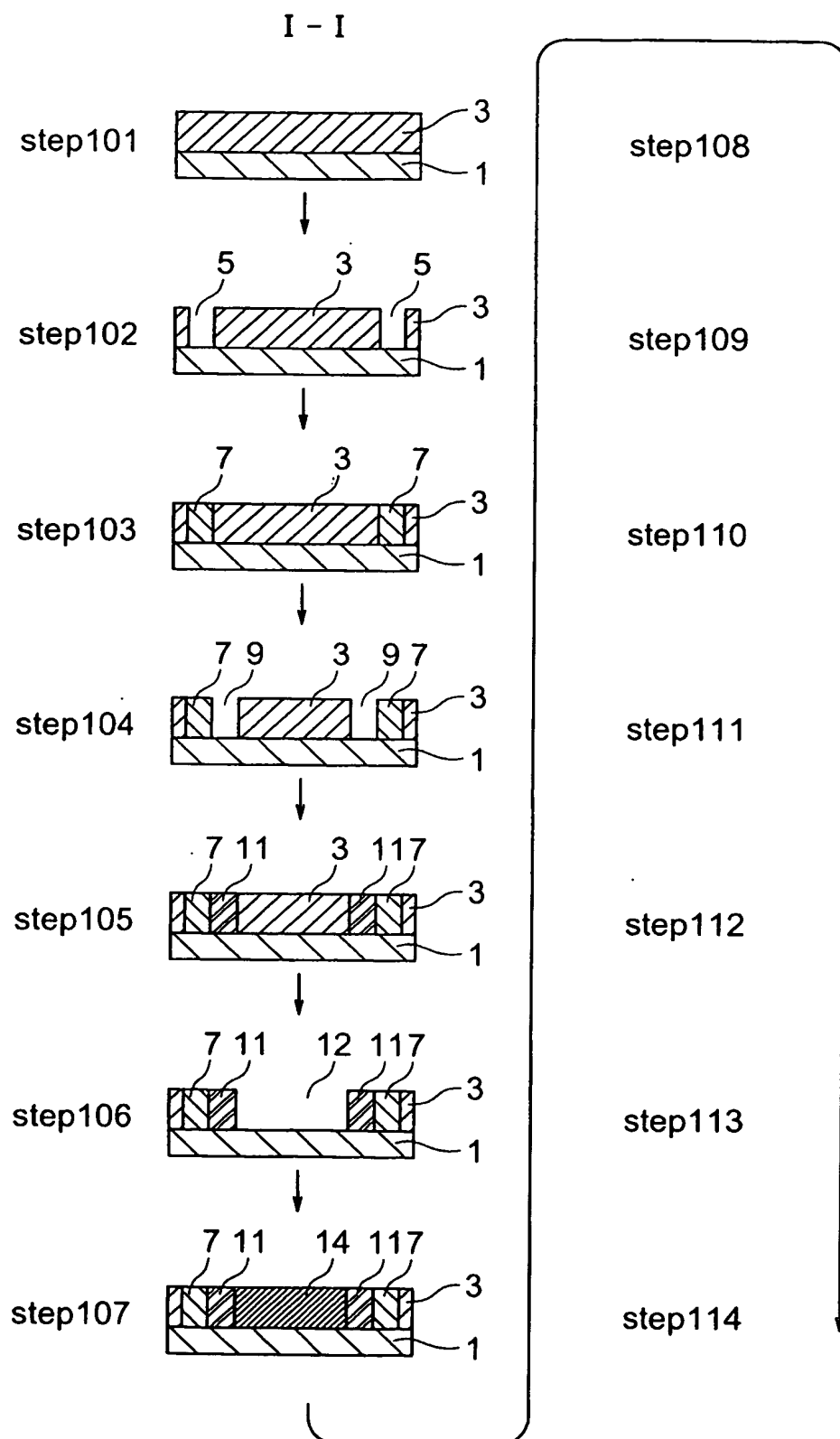
FIG. 5A

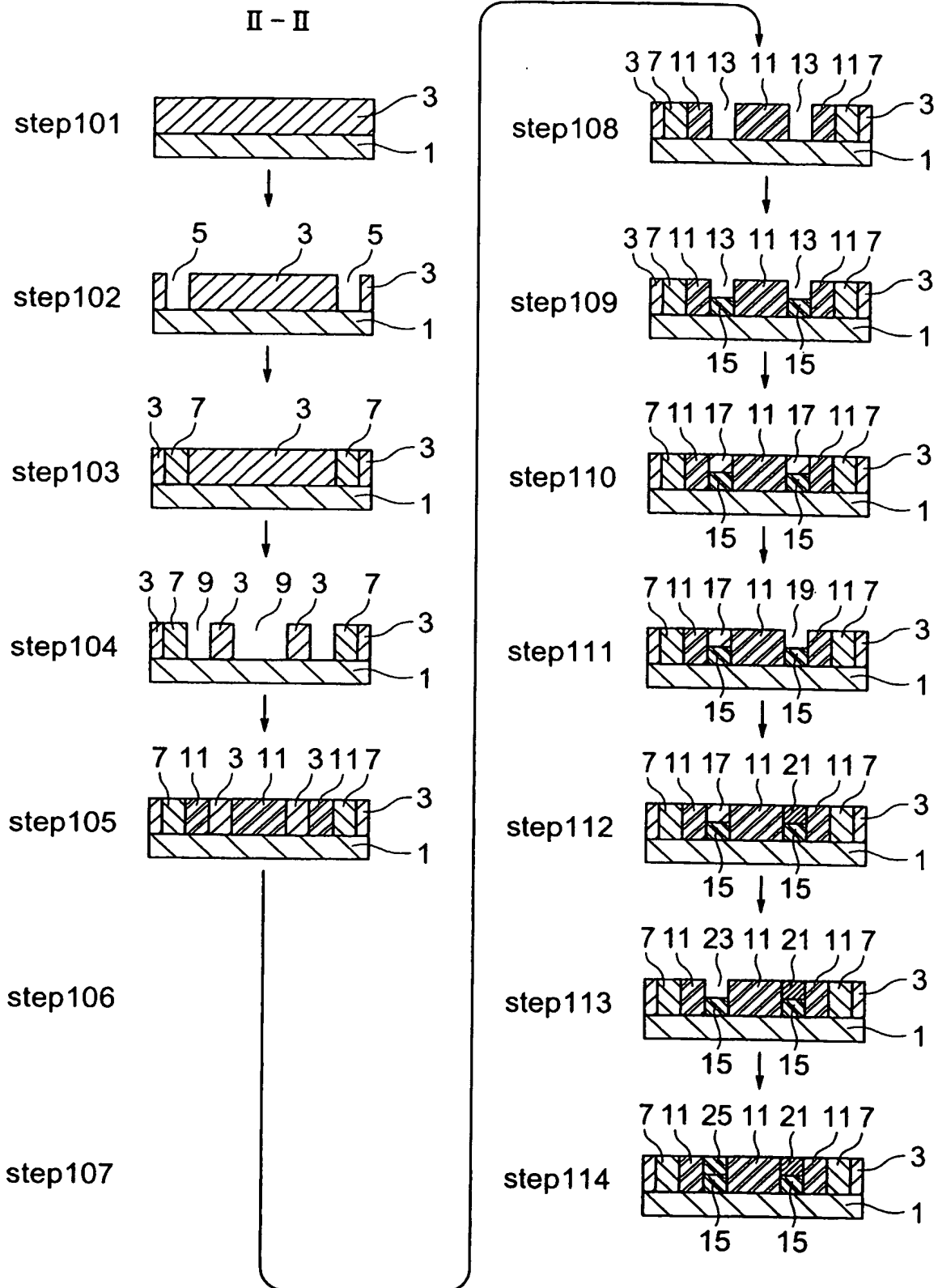
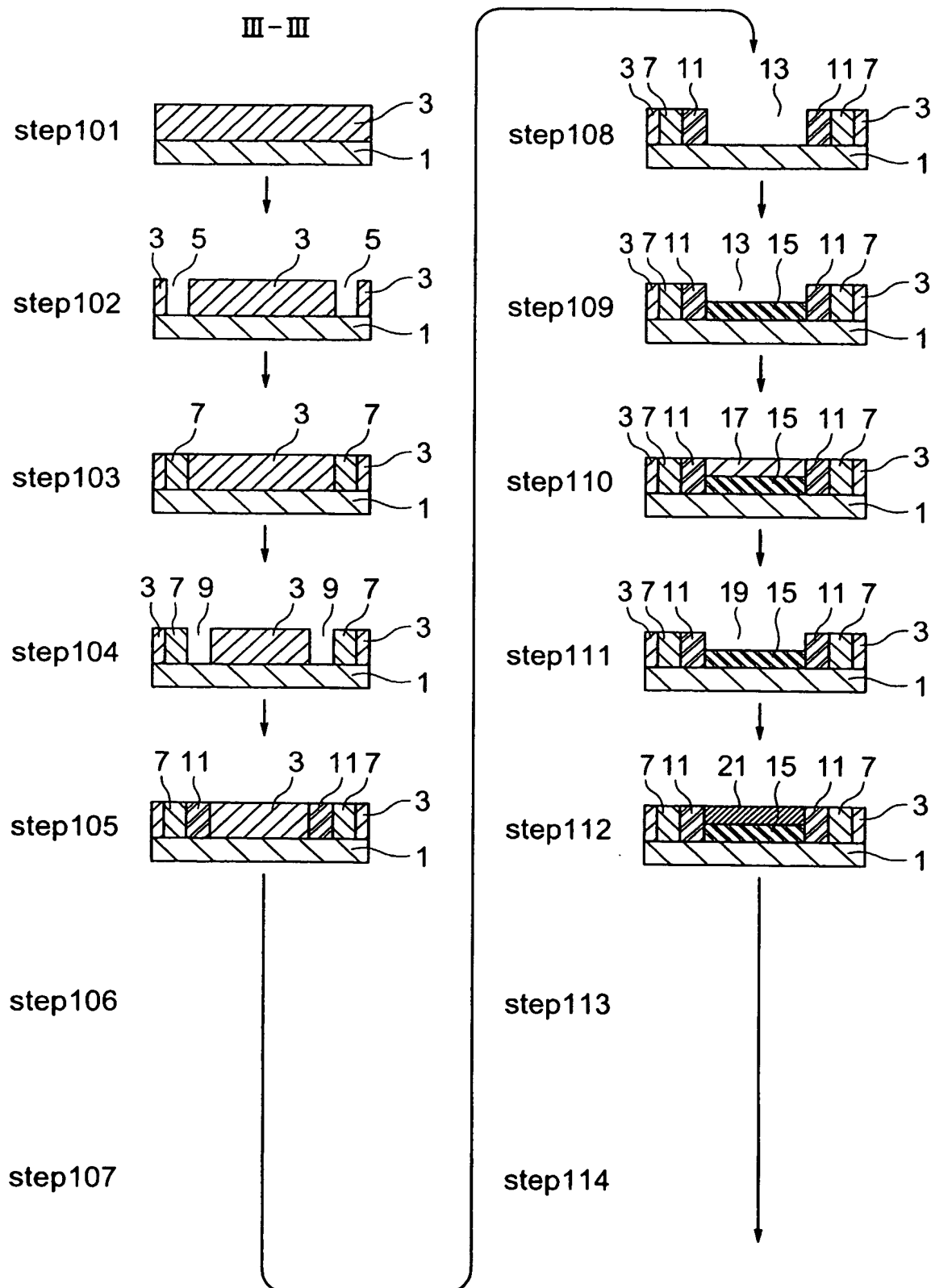
FIG. 5B

FIG. 5C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005308

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01F41/04, 17/00, H01G4/12, H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01F41/04, 17/00, H01G4/12, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-40633 A (Murata Mfg. Co., Ltd.),	1-7
X	08. February, 2000 (08.02.00), Full text; all drawings & US 2003/38372 A1 & US 6555913 B	8
Y	JP 11-186097 A (Matsushita Electric Industrial Co., Ltd.), 09 July, 1999 (09.07.99), Claim 1 & EP 938107 A2 & US 2001/20754 A1 & US 6413456 B1	1-4
Y	JP 2001-110662 A (TDK Corp.), 20 April, 2001 (20.04.01), Par. No. [0025] (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 May, 2004 (31.05.04)

Date of mailing of the international search report
15 June, 2004 (15.06.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005308

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 59-32115 A (Toko, Inc.), 21 February, 1984 (21.02.84), Full text; all drawings (Family: none)	5-7
Y	JP 2001-267167 A (Mitsubishi Electric Corp.), 28 September, 2001 (28.09.01), Par. Nos. [0022] to [0029]; Fig. 3 (Family: none)	5-7
A	JP 9-199663 A (Fujitsu Ltd.), 31 July, 1997 (31.07.97), Full text; all drawings & US 5722162 A1 & US 5930890 A1	8
A	JP 2000-182870 A (TDK Corp.), 30 June, 2000 (30.06.00), Full text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01F 41/04, 17/00, H01G 4/12, H05K 3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01F 41/04, 17/00, H01G 4/12, H05K 3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y X	JP 2000-40633 A (株式会社村田製作所) 2000.02.08, 全文, 全図 & US 2003/383 72 A1 & US 6555913 B	1-7 8
Y	JP 11-186097 A (松下電器産業株式会社) 1999.07.09, 【請求項1】 & EP 938107 A2 & US 2001/20754 A1 & US 641 3456 B1	1-4
Y	JP 2001-110662 A (ティーディーケー株式会社)	1-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

31.05.2004

国際調査報告の発送日

15.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山田 正文

5R 8835

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	2001. 04. 20, 【0025】 (ファミリーなし)	
Y	JP 59-32115 A (東光株式会社) 1984. 02. 21, 全文, 全図 (ファミリーなし)	5-7
Y	JP 2001-267167 A (三菱電機株式会社) 2001. 09. 28, 【0022】 ~ 【0029】, 図3 (ファミリーなし)	5-7
A	JP 9-199663 A (富士通株式会社) 1997. 07. 31, 全文, 全図 & US 5722162 A1 & US 5930890 A1	8
A	JP 2000-182870 A (ティーディーケイ株式会社) 2000. 06. 30, 全文, 全図 (ファミリーなし)	1-8